

# 16ビット・マイクロプロセッサ新時代

μCOM1600と8086

井田昌之

## ●16ビット・マイクロプロセッサは

どこへ向かっているか？

—ミニコンは汎用機を侵食し、マイコンはミニコンを侵食する

「16ビット・マイクロプロセッサは、ちょうど8ビット・プロセッサが4ビット・プロセッサを駆逐したように、8ビット・プロセッサを駆逐する」とか、「16ビット・プロセッサは、8ビット・プロセッサの2倍の能力のチップである」などと考えるのは早計である。

一口にいって、16ビット・マイクロプロセッサは、いままでのミニコンに置き換わりようとするもの、あるいはミニコンとの互換性を考えたものと位置づけることができる。TI 9900 などはその好例である。またインテル社の12ビットチップを用い、「PDP-8E CPU を895ドルであなたに」などという広告もアメリカではでしており、低価格ミニコンとして使おうとする傾向もみられる。

最近登場した日電 μCOM 1600 (チップ型番 μPD 768)、近ちか登場しようとするインテル 8086 は、各社の8ビット・プロセッサの実績をふまえている上に、一挙にミニコンをしのぐ(?)機能がもりこまれ、大きな影響を与える可能性がある。これらのチップの仕様をここで解剖し、読者の参考になれば、というのが本稿の目的である。

それには、こうしたマイクロプロセッサが目標とするミニコンがどうなっているかから始めなければならない。

## ●メガミニとメガマイクロ

本年1月から2月にかけて、いくつかのミニコンが発表された。日電MSシリーズ、東芝シリーズ7などがそ

れである。日本ミニコンの ECLIPSE M/600、DEC の VAX 11/780、Interdata 8/32 などが対応する機種になるだろう。これらは各社の政策によって目標が違うため、それぞれの評価・比較はできないが、総じて次の四つの特徴をもっている。

- ① メガバイト単位の主記憶空間をもつ
- ② 高速かつ高性能 (汎用機を意識している)
- ③ 基本ソフトウェアの充実 (OS の整備、データベース言語の支援など)
- ④ 分散処理システム志向 (通信・ネットワークからポリプロセッサ結合までの各種段階を含む)

要するにミニコンのもつキメのこまかさを生かしながら、いままでの中・大型機に求められていた役割を果たせることを目標としているようだ (1台で無理なら複数で)。これらに対して、小型のミニコンは低価格、小型、小まわりがきくなどの特徴がある。しかし、これらはマイコンについてもいえることである。筆者は μCOM 1600 などをメガマイクロと呼ぶことにためらいはない。その特徴は次の四つといえよう。

- ① 1メガバイトの主記憶空間をもつ
- ② 高速かつ高性能 (ミニコンを意識している?)
- ③ システム化の簡易さ (マイコンとしての特徴の延長)
- ④ メモリ共有型マルチプロセッサ志向

前記のメガミニの特徴と比較してほしい。その概形ははっきりとしてくるであろう。

表1にこれらのチップと、すでに実用に供している16ビット・プロセッサの一つである TI 9900 との簡単な比較を示す。(TI 9900 も種々の特徴をもっている。念のため)。9900 はすでに動いているチップである。

μCOM 1600 は2月23日付の青嵐  
 きの概説書<sup>1)</sup>とともに発表され、今  
 夏から販売される。8086はその仕様  
 の概略<sup>2)</sup>はわかっているものの、本  
 年6月にならなければ公式発表はな  
 く、いつわれわれが手にできるかは  
 不明である\*。この点を含んで表1  
 をながめていただきたい。表1の説  
 明はあえて省略する。

### ●μCOM 1600 の内部構成はどうな っているか?

μCOM 1600 の内部構成を図1に  
 示す。その特徴について順にふれて  
 みよう。

① ミニコンの水準に近い高速性が  
 ある。宣伝文句として「世界最高速  
 のチップ」という言葉も使われてい  
 る。事実、現時点で6.7MHzで動  
 作し、16ビット加減算が0.6マイク  
 ロ秒で行なえるチップはほかにな  
 い。(筆者の利用しているミニコンで  
 は1マイクロ秒要する。)

② 1メガバイトのメモリアドレス  
 能力をもつ。これも1チップCPU  
 としては最初のものであろう。いま  
 はメモリ素子単価1バイト1円、し  
 たがって1メガバイトで100万円と  
 いう時代にはいっている。実メモリ  
 は大きいほど良いという使用者もふ  
 えている。システム・プログラムを  
 含めたら64Kに入らないとか、デー  
 タやプログラムなどに独立した論理  
 アドレス空間をもたせるとよい応用  
 も多い。そして、使いやすさを増す  
 ために、OSを大きくしても、ユー  
 ザエリアを圧迫しない利点もある。  
 これらについては後に説明しよう。

<sup>1)</sup> インテルジャパンでは6月から販売  
 するといっているが、その核となる  
 HMOS 技術にもとづくプロセスの  
 安定供給に疑問がある。なぜなら、  
 HMOSメモリとして発表された21  
 47をわれわれが入手することは現  
 時点では困難である。

表1 9900 と 1600 と 8086

	TI 9900	μCOM 1600	8086
市場実績	有	無 (今夏から販売)	無 (6月から営業開始)
ビット長	16	16	16
クロック	3MHz (4相)	6.7MHz (単相)	5MHz(標準)/8MHz
命令数	58	87	?
基本命令実行時間 (RR 演算)	2.7μ秒	0.6μ秒	0.8μ/0.5μ秒
製造プロセス	N-SiMOS	N-SiE/DMOS 一部 CMOS	HMOS
パッケージング	64ピン DIP	64ピン DIP	40ピン DIP
チップサイズ	—	33mm <sup>2</sup>	225ミリ平方
アドレスライン	16本 (データバスと独立)	20本 (データバスと独立)	20本 (データバスと一部共 有。8085型の Time Multiplexing によ る)
メモリ空間	32K 語	1メガバイト	1メガバイト
セグメンテーション	無	バンク・スイッチン グとインデクス・マ ッピングの両者	インデクス・マッピ ング
アドレッシング・モ ード	8種	10種	?
汎用レジスタ数	16ビット×16 (主記憶上にとられる)	16ビット×14	8ビット×8 (16ビット×4とし ても使用可)
その他のレジスタ	16ビット×2 (WP と ST)	16ビット×8 (SR×6 <sup>1)</sup> (SP, PSW)	16ビット×4 (SP およびベース レジスタ, インデ クスレジスタ×2) 16ビット×5 (セグメンテーショ ン用のセグメント ベース・レジスタ)
割込み	16通り	12通り	256通り
割込み時の処理	自動退避	命令で退避	自動退避
リフレッシュ・メ モリ対策	無	有 (リフレッシュカウン タ内蔵, リフレッシュ 要求, アクノレッ シラインあり)	無
プログラマブル・ タイマ	外部	内蔵	外部
マルチプロセッサ サポート	無	有 (マスタ/スレーブ モードコモン・イ ンタナルの2バス 制御 Bus Busy) その他の信号	有 (バスロック信号を) (命令で)
命令の先読み	無	無	有 (6バイトの先読み) (キュー)
16ビット乗除算命 令	有	無	有
ゾーン十進数加減 算命令	無	有	?
その他の特徴	ミニコン TI 990 と の互換性	高速高性能チップの 早期提供	8080の7~12倍の速 度10~25%のサイズ 縮小、チップ内機能 の二分化

Business Use  
oriented.



③ 豊富なメモリ・アドレッシング。  
DEC社のミニコンの評判の高い理由の一つに、アドレッシング方法が12種類あり、それらが使いやすいことがあげられている。各種の間接アドレッシングとか、あるアドレスを参照すると、その内容が1増加する（インクリメント）、あるいは1減らされる（デクリメント）ようなオートインクリメント・オートデクリメント機構\*などがそのなかでも出色のものである。μCOM 1600にもこれらは含まれており、プログラム中のデータの扱いの容易さを増している。

④ マルチプロセッサ志向。メモリ共有型のマルチプロセッサを構成できるように、コモンバス系とインターナルバス系があることを想定して2モードバス制御ができるようになっている。そして、構成チップ間のリソース要求の優先度が決定できるようにマスタ/スレーブモード決定用のピンがある。マスタモードとなるチップは、スレーブとなる1600チップに対してコモンバス使用に関する優先権をもつ。（バス制御については後述する。）

⑤ そのほかの特徴をいくつか列挙するならば、i) システム作成上の利点として5V単電源である。ii) リフレッシュ対策があり、廉価なダイナミックメモリの扱いを容易としている。iii) スタックポインタのほかに7個の汎用レジスタ、3個の特殊レジスタ（装置番号レジスタ DNR およびリロケーション・レジスタ×2）がそれぞれ2セットあり、それぞれ命令で切り換えられる。iv) 整備されたPSW（プログラム・ステータス・ワード）をもつ（図2）。v) タイマなどの内部割込みがある。

その端子接続図を図3に示す。そしてその端子の説明を次に示そう。

- ① A0~A19: アドレスライン（3ステート出力）。
  - ② D0~D15: データライン（3ステート出力）。
- メモリはワード（2バイト）単位で読み出される。した

\* 細かなプログラム技術はもちろん、スタックの作成などに便利なのが知られている。（しかしスタックを効率よく実現するためには、これだけでは不十分である。）

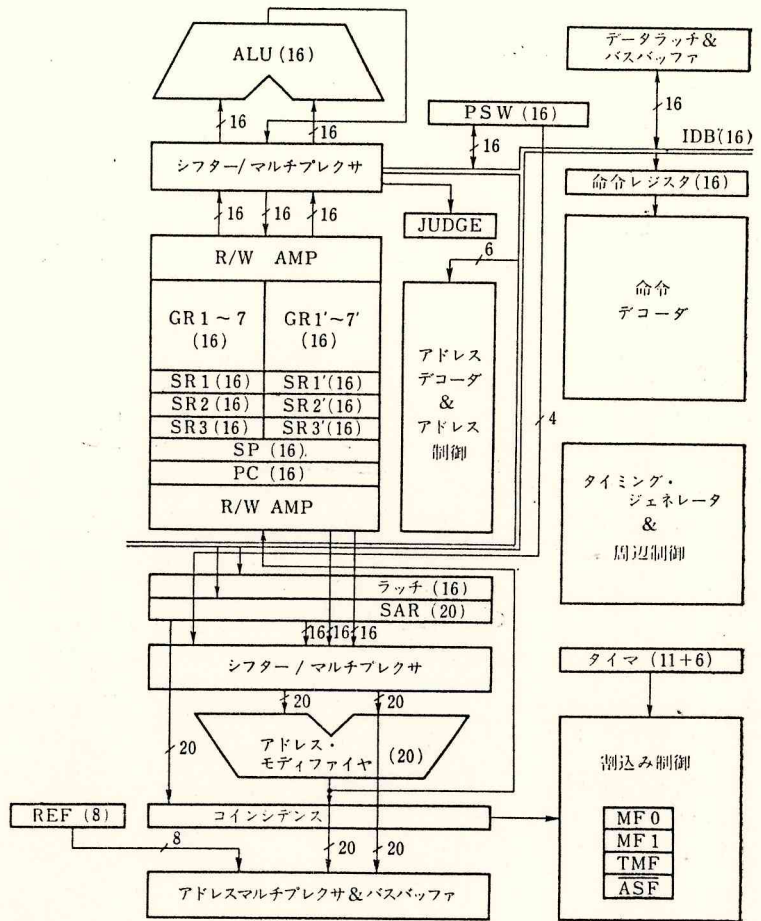


図1 μCOM 1600の内部構成（文献1より）

がって、読出し時にはA0は不要で、後述する別の意味に用いられる。

③ SLV: 入力。SLV信号がhighならば、CPUはスレーブCPUとして動作し、lowのときはマスタCPUとして定義される。

④  $\overline{\text{DMARQ}}/\overline{\text{COMAK}}$ : 入力。DMA要求信号（マスタCPU時）あるいは、その前に出したコモンバス使用要求（COMRQ）がマスタCPUにより受け入れられたことを示すコモン・アクノレッジ入力（スレーブCPU時）。

⑤  $\overline{\text{DMAAK}}/\overline{\text{COMRQ}}$ : 出力。 $\overline{\text{DMARQ}}$ を受け入れることを示す（マスタCPU時）。コモンバス使用時またはリフレッシュ時はその終了まで待たされる。スレーブCPUとして動作する場合、コモンバス上のリソースの使用要求となる。したがってこのラインは通常マスタCPUの $\overline{\text{DMARQ}}$ 入力へ送られる。

⑥  $\overline{\text{HLDRQ}}$ : 入力 および  $\overline{\text{HLDAK}}$ : 出力。

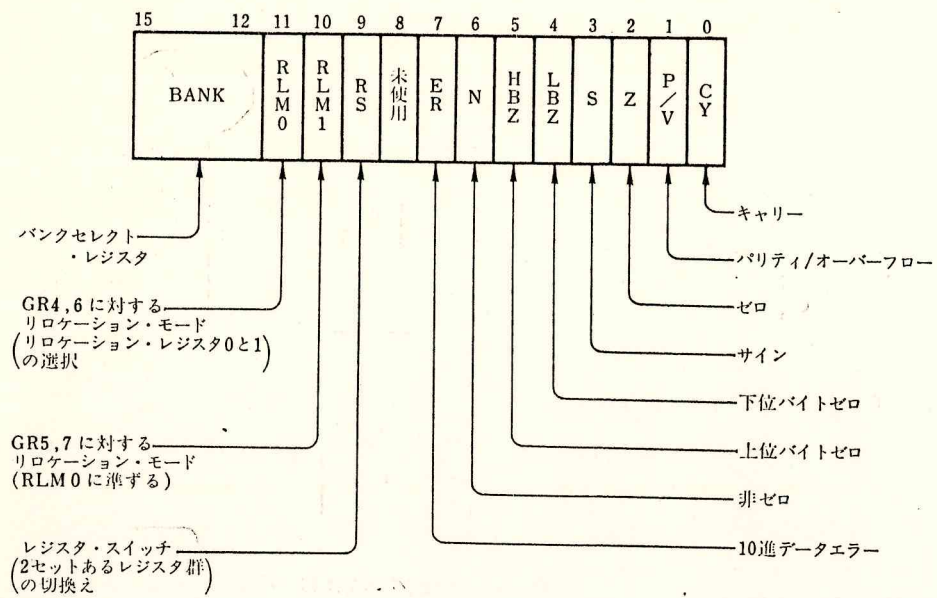


図 2 PSW

CPU 動作をホールドさせる。

⑦  $\overline{\text{REFRQ}}$ : 入力 および  $\overline{\text{REFAK}}$ : 出力。

コモンバス上のダイナミック RAM のリフレッシュのため。

⑧  $\overline{\text{BWAIT}}$ : 入力。バスの使用時間の延長要求 (DMA, ホールド, リフレッシュは通常, 3クロックしかアクノレッジされていない)。

⑨  $\overline{\text{WAIT}}$ : 入力。低速メモリア I/O のための時間調整用入力。

⑩  $\overline{\text{NMI}}$ : 入力。ノンマスク割込み要求。

⑬により4通りに分岐。

⑪  $\overline{\text{INT}}$ : 入力。プログラムマスク可能割込み要求。⑬により4通りに分岐。

⑫  $\overline{\text{RES}}$ : 入力。CPU を初期化し, ⑬により4通りに分岐。

⑬  $\overline{\text{IV0}}, 1$  (Interrupt Vector; 割込みベクトル): 入力。この2ラインにより, 外部から送られる⑩~⑫の信号に対してそれぞれ4種に分岐を行なうことができる。

⑭  $\overline{\text{IF}}$ : 出力。命令フェッチ (読出し) 中を示す。

⑮  $\overline{\text{BBUSY}}$ : 出力。コモンバスの使用中を示す (T<sub>2</sub>を除く)。

⑯  $\overline{\text{COM}}$ : 出力。コモンバス使用中を示す。

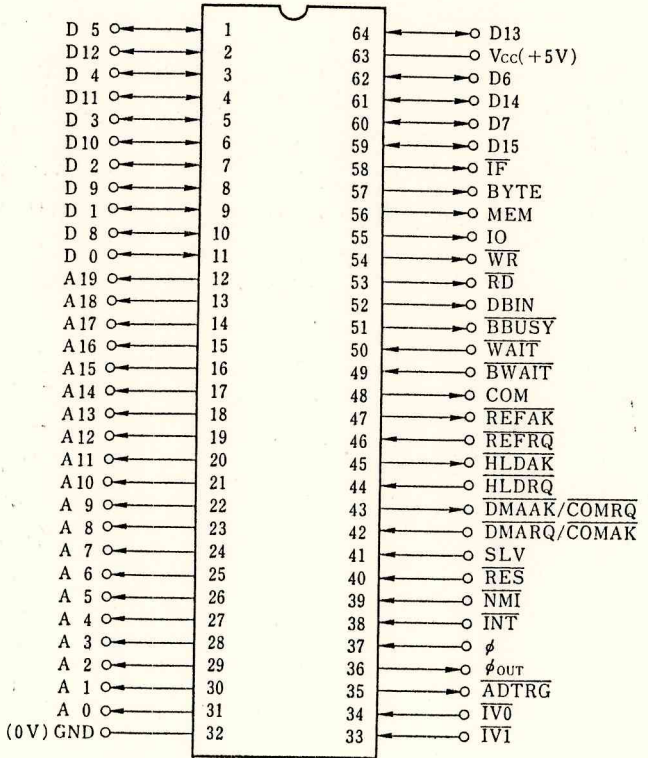


図 3 端子接続図

⑰  $\overline{\text{MEM}}$ : 出力。コモン・インターナルを問わず, メモリ使用中を示す。

⑱  $\overline{\text{IO}}$ : 出力。コモン: インターナルを問わず, I/O 中を示す。

⑲  $\overline{\text{DBIN}}$ : 3ステート出力。high ならばデータバス



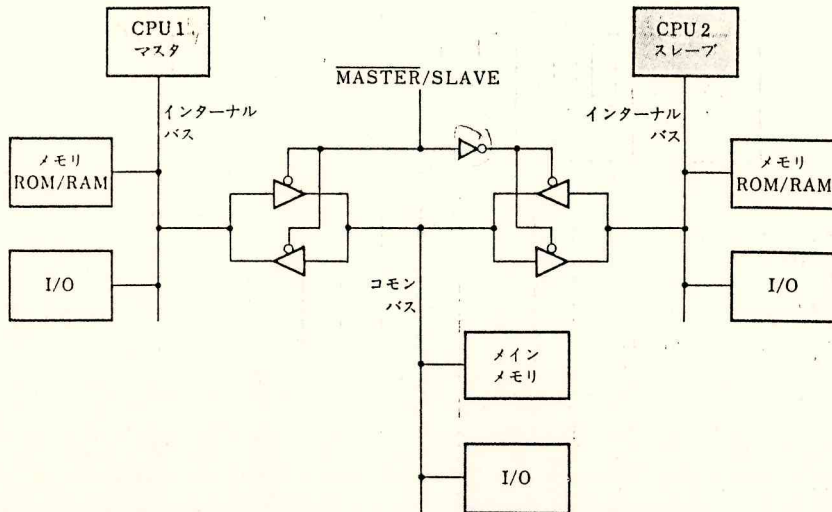


図 4 2CPU 構成でのバス接続

上のデータは CPU に入力される。

①  $\overline{RD}$  および  $\overline{WR}$ : 3 ステート出力。コモンリソースの読み込み ( $\overline{RD}$ ) 中または書き込み ( $\overline{WR}$ ) 中を示す。

②  $\overline{BYTE}$ : 出力。バイト処理中を示す。書き込み時に使用される。この信号が high なら、アドレスラインの最下位 A0 がバイトアドレスを決定する (読み込み時にはワードで扱われるので無関係)。

③  $\overline{ADTRG}$ : 出力。STOP アドレスレジスタ (20 ビット) と実効アドレス (20 ビット) は常に比較されており、一致したときにこの信号が出力される。アドレスストップないしはスタックの境界チェックなどに使えるようである。

④  $\phi$ : 入力 および  $\phi_{out}$ : 出力。単相クロック。

以上が端子機能の説明である。マスタ CPU として動作するかスレーブ CPU として動作するかによって意味の違う端子があること、DMA 要求とホールド要求を区別しコモンバス上のリソースの共有を高速にスイッチングできること、コモンメモリ (いわゆる主記憶) に廉価なダイナミック RAM の使用を想定していること、小さな点ではあるが、②に示したような機構があることなど、かなり明確なビジョンをもって積極的に設計されていることがうかがえる。

- LISP のような記憶域の動的管理をすべてシステムが行なうような処理形態においては、使用されなくなったセルの回収手続き (これをガベージ・コレクションという) に特徴がある。これらは本来の処理には直接関係せずオーバーヘッドとなってしまふ。そのため、一方で処理を続けながら他方では回収を続けることが以前から話題となっている。

bit. 1977年9月号の黒川氏の記事を参照されたい。

#### ● $\mu$ COM 1600 のバス制御

バス接続の基本的な姿を図4に示す。コモンバス上のリソース (コモンリソース) は2つのプロセッサのあいだで排他的に (同一時点では) 使用されねばならない。マスタ側がコモンリソースを使用したければ、図4中の  $\overline{MASTER/SLAVE}$  信号を low にする。これによってスレーブ CPU からコモンバスが見えなくなり、マスタ CPU はコモンリソースを任意に使用できる。スレーブ CPU によるコモンリソースの使用はその逆に high にすればよい。

このようにしてコモンリソースが競合しないかぎり、各 CPU は独立に処理をすすめることができる。

マスタ CPU の COM ライン、 $\overline{DMAAK}$  ライン、スレーブ CPU の  $\overline{COMAK}$  ラインなどによりこの信号は容易に作られる (またさらにきめこまかい制御も可能である)。なお、メモリの場合には、1メガバイトのうち物理的に最初の64Kバイトがインターナルバスに、他のものはすべてコモンバス上にあると約束されている。これらの構造は筆者の研究上の興味からすれば、パラレル・ガベージ・コレクタ\* やデータベース・マシンのフロントエンド・プロセッサ (ユーザ・インターフェイス) とバックエンド・プロセッサ (データベース管理部) 構成にすぐにも使えそうでおもしろそうなどころである。専用マシンを作るからといってすべてのハードウェアを自分で設計作成するのは、ロスが多く陳腐化におちいりやすい。むしろこれらの高機能化するチップを組み合わせ、それらのチップの発達に歩調を合わせ、特に有効性の高いところだけ専用ハードウェアを作るのがよいと筆者は思っている。

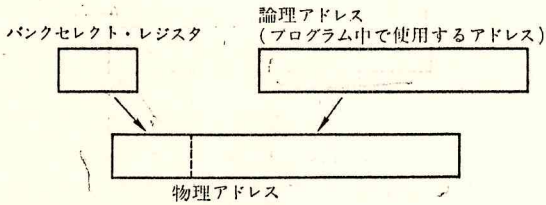


図5 バンク・スイッチング方式

### ●μCOM 1600 のメモリ空間はどう生かされているか

#### ——セグメンテーションとアドレッシング——

1メガバイトをアドレスするには、20ビットのアドレスラインが必要なことはいうまでもない。しかし、すべての命令において、20ビットの物理アドレスをすべて定義してアドレッシングするのは、あまり効率が良いとはいえない。仮に16ビットで扱うことができれば、アドレス情報の処理が容易になる。セグメンテーションは、そうした状況を救うための技術の一つである。セグメンテーション機構には三つの種類がある。

#### ① バンク・スイッチング方式 (図5)

固定した大きさ(たとえば64Kバイト)にメモリを区切り、これをバンクと呼ぶ。複数個(全体で1メガバイトならば16個)のバンクのうち、今どれが対象になっているかを覚えておくレジスタ(16通りなら4ビット)を用意しておく。そして、このレジスタの内容を入れ換えることによって、すべてのメモリをアドレスする。

#### ② インデクス・マッピング方式 (図6)

①の方式は簡単だが、各論理ブロックの割付けが固定されるので、応用によっては使いにくい場合もある。インデクス・マッピング方式は、任意の番地からのブロックを対象にでき、サイズの異なるセグメントを効率よく物理アドレス上に配置できる。プログラム中で生成された論理アドレスがセグメントベース・レジスタの内容に加えられて実効アドレスとなる。ベースレジスタの内容はプログラムで書換え可能なのが普通である。

#### ③ アドレス・トランスレーション方式

論理アドレス自身(またはその一部)から直接変換機構を通して物理アドレスに拡げるもの(詳細略)。

μCOM 1600 では①、②が用意されており、応用に応じて選択できるようになっている。たとえば、スタックポインタによってポイントされる制御用スタックは固定的に1つあればよいので、バンク・スイッチングによって、スタック用のバンクを覚えておく4ビットのSP-BANKレジスタがあり、16ビットのスタックポインタの内容の上に4ビットがつけられ、20ビットを構成する。またPSW中に4ビットのBANKフィールドが

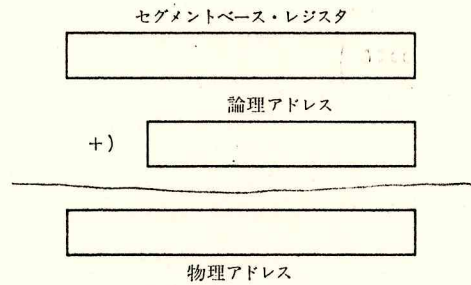


図6 インデクス・マッピング方式

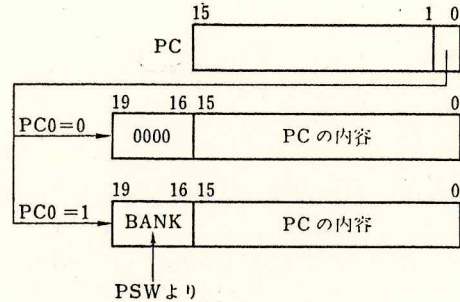


図7 命令アドレスの形式

あり、これから述べるアドレッシングで生かされる。この内容はプログラムで書換え可能である。(データ用のスタックセグメントはオートインクリメント・デクリメント機能を使って任意に扱える。)

次に命令中のオペランド・アドレッシングにふれよう。命令自身はPC(プログラムカウンタ、16ビット)によってアドレスされるが、これもバンク・スイッチングによって行われている。前述したように、メモリからの読出しはすべて2バイトまとめて行なわれるので、PCの最後のビットは不必要である(常に偶数番地を示していればよい)。このためPC0はほかの目的に使われうる。PC0が0ならインターナルメモリ使用で実効アドレスの上位4ビットにはゼロが挿入される。PC0が1ならPSW中のBANKフィールドの4ビットがつけ加えられ、実効アドレスを形成する(図7)。

命令中のオペランドは、表2に示すアドレッシング・モードをもっている。このうちのいくつかについて説明する。表2の③のダイレクト・アドレッシングは命令に続く1語に、BANKが付加されて命令アドレスとなる(図8)。④の相対アドレッシングの場合、命令中に現在のPCとの相対位置を示す定数(ディスプレイメント)をもち、命令アドレスと同様に0またはBANKが付加される(図9)。⑤から⑧については③の説明で代表される(図10)。インデクス・アドレッシング-1と呼ばれる方法は三つに分けることができる。特に汎用レジスタGR



表 2 オペランド・アドレッシング (μCOM 1600)

	アドレッシング	内 容
①	レジスタ・オペランド	レジスタそのもの
②	即値オペランド	オペランド自身が値となる (1バイト即値と1ワード即値の2種あり)
③	ダイレクト・アドレッシング	オペランド部に論理アドレスを指定
④	相対アドレッシング	PC に対するディスプレイメントを指定
⑤	レジスタ間接	スタックポインタ間接, 汎用レジスタ間接 (バンク・スイッチング), 汎用レジスタ間接 (インデックス・マッピング) の3種あり
⑥	レジスタ間接オートインクリメント	(R)+
⑦	レジスタ間接オートデクリメント	(R)-, -(SP)
⑧	インデックス・アドレッシング-1	⑤に加えて16ビットのディスプレイメントが指定可能
⑨	インデックス・アドレッシング-2	ショート・アドレッシング (バンク内の 0~126 番まで) およびそのインデクシング
⑩	I/O アドレッシング	装置番号レジスタと命令中の I/O パートより合成

4~7を指定する場合には, リローケーション・レジスタ RLR(セグメントベースの働きをもつ)としてSRが働くインデックス・マッピングになっている。(PSW中のRLM0およびRLM1により, RLRが切り換えられる。)また, GR3を指定する場合には, バンク・スイッチングとなる。

●8086の仕様にみるマイクロプロセッサの発展

本誌5月号(43ページ)にその仕様の一部が紹介されている。表1ないしは5月号の記事を参照の上, 以下を読む

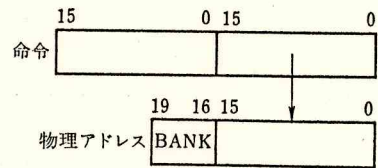


図 8 ダイレクト・アドレッシング

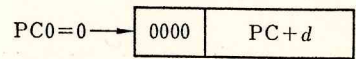
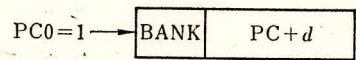
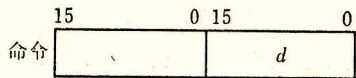


図 9 相対アドレッシング

んでいただきたい。そのブロック構成を図11に示す。

再三述べているように, 8086はまだ正式に発表されていないので詳細な仕様を議論することも, μCOM 1600と比較することもできない。しかし, その特徴の多くは1600と重複している。欠けている点としては, バンクスイッチングがないこと, ポリプロセッサ志向が弱いと思われること, さらにいくつかの新しい機構がとり入れられていることなどは, 総じていえるようである。また, 新しいいくつかの周辺チップも示唆されている点, 8080Aを基としたシステムに比べて7~12倍の速度向上が認められるという点, PL/M(マイコン用PL/I)の支援を予定している点などは, 実際の使用・作成上に大きな影響があり, 興味深いところである。

図11の説明をかねて8086にもりこまれようとしているいくつかの新機構について言及しよう。

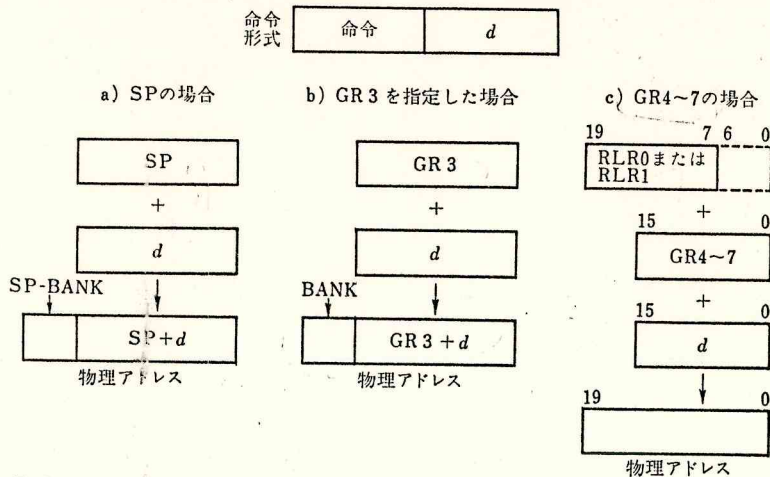
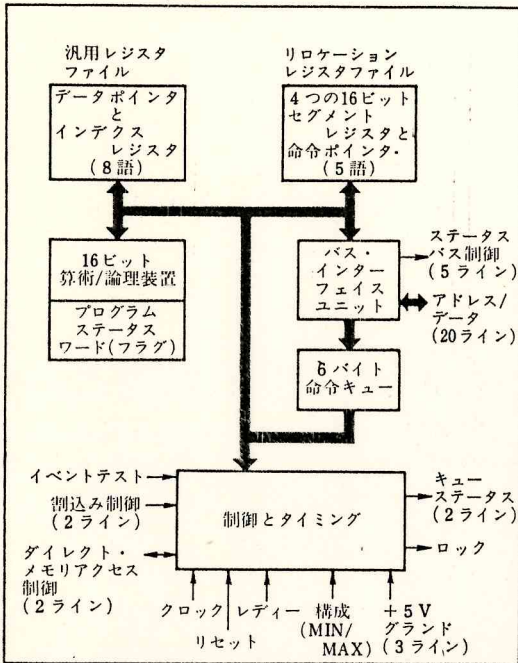


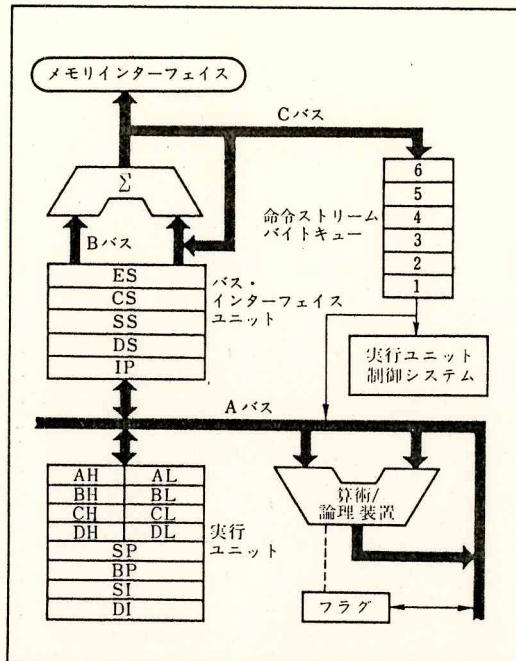
図 10 インデックス・アドレッシング-1

a) 信号およびレジスタ構成

( ← → は16ビットバス)



b) バス・インターフェイス・ユニットと実行ユニット



(a), b) は同一物で見方が違うだけである

図 11 8086 の内部構成 (文献2より)

**チップ内機能の二分化.** バス・インターフェイス・ユニット (BIU) と実行ユニット (Execution Unit: EU) に機能を分離独立化させている。BIU はいわゆるアドレス管理部として機能し、実アドレス (物理アドレス; 20ビット) と論理アドレス (16ビット) 間の写像を中心に受け持っている。このため EU は16ビットデータのみを扱えばよく、すっきりとする。EU には8ビット×8としても用いられる4個の16ビット・レジスタがある。またスタックポインタ (SP), ベースポインタ (BP), ソースインデックス (SI) およびデスティネーション・インデックス (DI) レジスタが用意されている。このなかで BP が注目すべきものである。文献2には「BP はスタック・フレーム・マーカとしても用いられる」という記述がある。スタック・フレーム・マーカというのは、一般に現在対象となっているフレームの基底を示すポインタであり、ECLIPSE, HP-3000 などのフレームポインタがこれに相当するものと思われる。もしそうだとしたなら、ブロック構造言語の実行効率を高める武器を8086 はもつことになる。紙面にかぎりがあるので、フレー

ム・ポインタの説明は別の機会に譲ることにする\*。

BIU では命令先読みキュー (6バイト長) があり、EU の実行速度を支援している点も見逃がせない。6 という大きさはベンチマークテストのシミュレーションを行なった結果設定されているという。小さくは先読み効果があまりなく、大きすぎると分岐時のオーバーヘッドが過大になるという。

セグメンテーションについても特色がある。μCOM のようなバンク・スイッチング機構がないので、セグメント・ベースレジスタによるインデックス・マッピングのみによっている。(個数は両者同じである。) μCOM ではそれらレジスタは、番号でしかアクセスされないが、8086 の場合各セグメント・レジスタは Extra, Code, Stack, Data と名づけられ、それぞれプログラム中の意味と関係をもった独立の役割をもつように受けとれる。意味的な関係づけを生かした機構が存在するならばメモリがでてくる (図12)。

**大小2つのシステム構成.** 命令や割込みの強化なども若干あるが、本質的なものとしてはシステム構成の選択があげられよう。μCOM ではチップの役割をきめる信号としてマスタ/スレーブ入力があったが、8086 では MIN/MAX 信号がある。最小構成時に 8086 を使うな

\* その解説記事としてはたくさんあるが、IEEE の雑誌「Computer」の1977年5月 Stack machine 特集号はよくまとまっている。



**I/O**Microcomputer  
TV Game  
Music Synthesizer  
Laser Artアイ・オー 《毎月25日発売》  
★マイクロコンピュータの情報誌

## I/O別冊②

## TVゲーム徹底研究

## □内容

[8080]マイコン・ゲーム

- ハノイの塔 ●絵かき
- 迷路 ●コンピュータ学習機
- クリンゴン ●キャプチャー
- [TK-80BS] BASICゲーム
- カレンダー ●サインメくずし
- [TTL] ●魚雷船ゲーム
- [LSI] ●宇宙船 ●タンク戦争
- カーレース ●各種ボールゲーム

B5判 250頁 定価1,900円(送料200円)

## I/O別冊① 堂々1万部!

## マイコン徹底研究

## □内容

- M6800マイコンのつくり方
- キャラクタ・ディスプレイのつくり方
- プリンタ、キーボード、A/D、D/Aとのインターフェイス
- フロッピーディスク・コントローラの製作
- 4K BASIC
- 宇宙船ゲームRACE
- MEK6800DII, H68/TR, LKIT-8
- SWTPC CT-64
- SWTPC MP-68

B5判 250頁 定価1,900円(送料200円)

合本1 ¥1900  
¥160

(創刊号)~('77, 2月号)

合本2 ¥1900  
¥160

(3月号)~('77, 5月号)

## 定期購読のおすすめ

- 半年 ¥2,300(送料込)
- 1年 ¥4,300(送料込)

◆郵便振替、現金書留、定額小為替のどれかをお願いします。

**工学社**☎(03)375-5784  
振替口座  
東京5-22510

〒151 東京都渋谷区代々木2-5-1 羽田ビル507

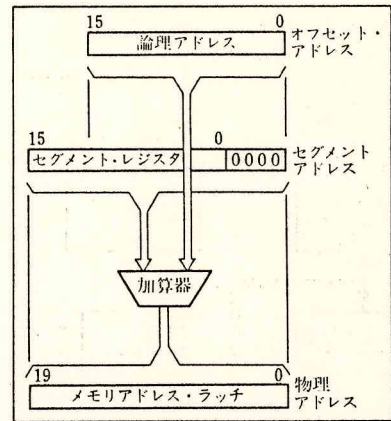


図12 物理アドレスの生成

ら、2つの周辺チップだけでCPU ロジックを完成でき、大構成時には各種の周辺チップの補助を必要とする高性能CPUを構成するという。いままでの8080や8085の応用にも使えるような手軽なチップとして、そして大型システム構成用の重装備マイクロプロセッサとしての2面性を表わしている。

## ●おわりに

以上、最近の16ビット・マイクロプロセッサから二つを選び、それらの紹介を行なった。

また、モトローラ社が今年中に16ビット・マイクロプロセッサ6809を発表するという噂もある。その特長とささやかれているのは次のようなものである。i) 16ビット乗除算、ii) 16ビット・インデックスレジスタYの追加、iii) もう1つのスタックポインタの追加、iv) ベクタ割込み、v) 豊富なアドレッシング。

μCOM や8086と比べて評価できるのはiii)か?

本稿は筆者の大学におけるLISP専用マシンの拡張のための個人的な研究ノートの一部を編集部の依頼によって活字にしたものである。極力、主観をおさえた解説を加えたつもりであるが、筆者の浅学のゆえにいたらぬ点があればお許し願いたい。

最後に、日ごろご指導いただく青山学院大学 間野浩太郎教授ならびに資料提供に協力を仰いだ関係者各位に感謝する。

## 参考文献

- 1) μCOM 1600 概説: 日本電気 (1978).
- 2) B. J. Katz et. al.: 8086 micro computer bridges the gap between 8-and 16-bit designs; Electronics, Feb. 16, 1978, pp. 99-104.

(いだまさゆき 青山学院大学)